

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 08129359
 PUBLICATION DATE : 21-05-96

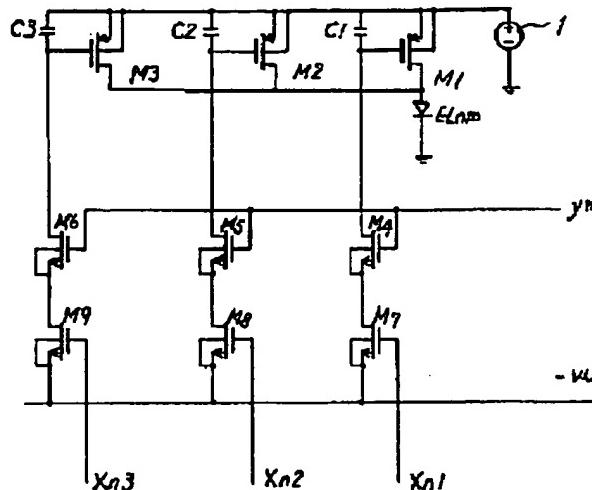
APPLICATION DATE : 31-10-94
 APPLICATION NUMBER : 06267243

APPLICANT : SEMICONDUCTOR ENERGY LAB CO LTD;

INVENTOR : ARAI MICHIO;

INT.CL. : G09G 3/30 H05B 33/08

TITLE : ELECTROLUMINESCENCE DISPLAY DEVICE



ABSTRACT : PURPOSE: To make it hardly influenced by the noise of a selection switch, etc., by selecting the combination of ON/OFF of plural drive TFTs in one pixel and performing gradation display by controlling a current flowing through an EL element.

CONSTITUTION: When transistors M4-M6 are selected by means of a selection signal ym from a Y-axis shift register, an X-axis register outputs a shift signal in the order of selection signals Xn1-Xn3. The driving voltage of an image data signal -VL having digital H or L is held synchronized with the shifts of the selection signals Xn1-Xn3, drive TFTs M1-M3 having L are turned on and an EL power source 1 is supplied to an EL element ELnm through the drive TFT. When all drive TFTs M1-M3 are turned on, the EL element ELnm emits light with the maximum luminance and the gradation display is performed by selecting the drive TFTs M1-M3.

COPYRIGHT: (C)1996,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-129359

(43)公開日 平成8年(1996)5月21日

(51)Int.Cl.⁶

識別記号 庁内整理番号

F I

技術表示箇所

G 09 G 3/30

J 4237-5H

H 05 B 33/08

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21)出願番号 特願平6-267243

(22)出願日 平成6年(1994)10月31日

(71)出願人 000003067

ティーディーケイ株式会社

東京都中央区日本橋1丁目13番1号

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者 高山 一郎

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 荒井 三千男

東京都中央区日本橋一丁目13番1号 ティ
ー・ディーケイ株式会社内

(74)代理人 弁理士 平岡 審一 (外2名)

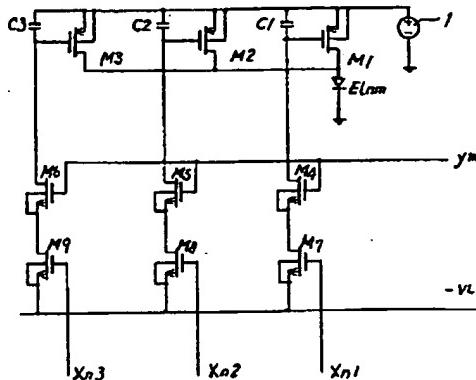
(54)【発明の名称】 エレクトロルミネセンス表示装置

(57)【要約】

【目的】 1画素中の複数のドライブ薄膜トランジスタを画像データ信号-VLでオン、オフさせ、選択スイッチ等のノイズの影響を受けにくくすることを目的とする。

【構成】 1画素中にエレクトロルミネセンス素子EL nmと、該エレクトロルミネセンス素子EL nmを駆動する複数のドライブ薄膜トランジスタM1～M3とを設け、この複数のドライブ薄膜トランジスタM1～M3を選択することにより階調表示を行う。

本発明の第1実施例の説明図



1

【特許請求の範囲】

【請求項1】 1画素毎にエレクトロルミネセンス素子と、該エレクトロルミネセンス素子を駆動する複数のドライブ薄膜トランジスタとを設け、前記複数のドライブ薄膜トランジスタを選択することにより階調表示を行うことを特徴としたエレクトロルミネセンス表示装置。

【請求項2】 前記複数のドライブ薄膜トランジスタは、それぞれ相互コンダクタンスが異なるもので構成されていることを特徴とした請求項1記載のエレクトロルミネセンス表示装置。

【請求項3】 前記複数のドライブ薄膜トランジスタの駆動電圧の保持にラッチ回路を設けることを特徴とした請求項1又は2記載のエレクトロルミネセンス表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタ（以下、TFTという）を用いてエレクトロルミネセンス（以下、ELという）素子を駆動するEL表示装置に関する。

【0002】

【従来の技術】 図4～図6は従来例を示した図である。以下、図面に基づいて従来例を説明する。

【0003】 図4(a)は、パネルブロック図であり、ディスプレイ（表示）パネル10には、ディスプレイ画面11、X軸のシフトレジスタ12、Y軸のシフトレジスタ13が設けてある。

【0004】 ディスプレイ画面11には、EL電源が供給されており、またX軸のシフトレジスタ12には、シフトレジスタ電源の供給とX軸同期信号の入力が行われる。さらにY軸のシフトレジスタ13には、シフトレジスタ電源の供給とY軸同期信号の入力が行われる。また、X軸のシフトレジスタ12の出力部に画像データ信号の出力が設けてある。

【0005】 図4(b)は、図4(a)のA部の拡大説明図であり、ディスプレイ画面11の1画素（点線の四角で示す）に対して、トランジスタが2個、コンデンサが1個、EL素子が1個より構成されている。

【0006】 この1画素の発光動作は、例えば、Y軸のシフトレジスタ13で選択信号y1の出力があり、またX軸のシフトレジスタ12で選択信号x1の出力があった場合、トランジスタTy1とトランジスタTx1がオンとなる。

【0007】 このため、画像データ信号-VLは、ドライブトランジスタM11のゲートに入力される。これにより、このゲート電圧に応じた電流がEL電源からドライブトランジスタM11のドレイン、ソース間に流れ、EL素子EL11が発光する。

2

【0008】 次のタイミングでは、X軸のシフトレジスタ12は、選択信号x1の出力をオフとし、選択信号x2を出力することになるが、ドライブトランジスタM11のゲート電圧は、コンデンサc11で保持されるため、次にこの画素が選択されるまでEL素子EL11の前記発光は、持続することになる。

【0009】 図5は、従来例のX軸シフトレジスタの説明図である。図5において、 NAND回路21と22は波形整形回路であり、逆位相のクロック-CLと低レベル（「L」）のスタートパルス-SPが入力される。また、クロックドインバータ26～32とインバータ33～37はシフトレジスタである。さらに、インバータ38～43とNAND回路23～25は、選択信号x1～x3を出力する論理回路である。

【0010】 クロックCLと逆位相クロック-CLは、一方が高レベル（「H」）の時他方が低レベル（「L」）になる。クロックドインバータは、クロックCL入力が「L」で逆位相クロック-CL入力が「H」のときアクティブ状態となり、インバータとして動作し、また逆に、クロックCL入力が「H」で逆位相クロック-CL入力が「L」のときハイインピーダンス状態となるものである。

【0011】 例えば、クロックドインバータ26とクロックドインバータ29とは、クロックCL入力と逆位相クロック入力-CLとが逆に接続されている。このため、クロックドインバータ26がアクティブ状態の時、クロックドインバータ29はハイインピーダンス状態となる。

【0012】 図6は、従来例の波形説明図であり、以下、図5のX軸のシフトレジスタの動作を図6の各点の波形に基づいて説明する。

（1） 波形整形回路の出力であるA点の電位は、スタートパルス-SP（「L」）がない時「H」である。この時、「L」のスタートパルス-SPが入力されると、A点は「L」となる（図6、A参照）。

【0013】 （2） B点は、A点が「L」になる時、クロックドインバータ26はアクティブ状態となるので、「H」となり、次にクロックドインバータ26がハイインピーダンス状態となる時、クロックドインバータ29がアクティブ状態となるので、前記B点の「H」がクロックドインバータ29のアクティブ期間だけ保持される（図6、B参照）。

【0014】 （3） C点は、インバータ33によりB点と逆位相の波形となる（図6、C参照）。

（4） D点は、クロックドインバータ29と同時にアクティブ状態となるクロックドインバータ27と、インバータ34とクロックドインバータ30による保持回路によりB点より半クロックサイクル遅れた波形となる。

【0015】 （5） E点は、インバータ34によりD点と逆位相の波形となり、C点の波形より半クロックサイ

クル遅れた波形となる(図6、E参照)。

(6) F点は、クロックドインバータ30と同時にアクティブ状態となるクロックドインバータ28と、インバータ35とクロックドインバータ31による保持回路によりD点より半クロックサイクル遅れた波形となる。

【0016】(7) G点は、インバータ35によりF点と逆位相の波形となり、E点の波形より半クロックサイクル遅れた波形となる(図6、G参照)。

(8) H点は、インバータ38によりC点の反転信号となる(図6、H参照)。I点は、インバータ39によりE点の反転信号となる(図6、I参照)。また、J点は、インバータ40によりG点の反転信号となる(図6、J参照)。

【0017】(9) K点は、 NAND回路23の出力であり、 NAND回路23の2つの入力にはH点とE点の信号が入力される。L点は、 NAND回路24の出力であり、 NAND回路24の2つの入力にはI点とG点の信号が入力される。また、M点は、 NAND回路25の出力であり、 NAND回路25の2つの入力にはJ点とインバータ(図示せず)からの信号が入力される。

【0018】(10) 選択信号x1は、インバータ41によりK点の反転信号となり(図6、x1参照)、この選択信号x1は、Nチャネルの電界効果トランジスタTx1のゲートに入力される。このため、選択信号x1が「H」となるとトランジスタTx1がオンとなり、そのドレイン、ソース間が導通する。

【0019】(11) 選択信号x2は、インバータ42によりL点の反転信号となり(図6、x2参照)、この選択信号x2は、Nチャネルの電界効果トランジスタTx2のゲートに入力される。このため、選択信号x2が「H」となるとトランジスタTx2がオンとなる。

【0020】(12) 選択信号x3は、インバータ43によりM点の反転信号となり(図6、x3参照)、この選択信号x3は、Nチャネルの電界効果トランジスタTx3のゲートに入力される。このため、選択信号x3が「H」となるとトランジスタTx3がオンとなる。

【0021】このようにして、選択信号x1、x2、x3、...と順に、半クロックサイクルシフトとした信号が得られる。

【0022】

【発明が解決しようとする課題】上記のような従来のものにおいては、次のような課題があった。ドライブTFTM11、M21、M12、M22の駆動電圧(画像データ信号-VL)は、アナログ信号で伝達され、容量(コンデンサC11、C21、C12、C22)に蓄積されるため、選択スイッチであるトランジスタTx1、Tx2、Ty11、Ty21、Ty12、Ty22等のノイズの影響を受け、高解像度、高階調を目指したとき限界があった。

【0023】また、ドライブTFTの駆動電圧は、その

トランジスタの近傍に設けられた容量に蓄積するため、選択スイッチのオフ電流及びドライブTFTのゲート、リーク電流によって時間と共にその信号が失われ、高解像度、高階調を目指したとき、限界があった。

【0024】本発明は、1画素中に複数のドライブTFTを設け、デジタル信号でこれをオン、オフさせ、そのオン、オフドライブTFTの組み合わせにより、EL素子の階調表示を行い、選択スイッチ等のノイズの影響を受けにくくすること、また、ラッチ回路により、オフ電流、ゲート、リーク電流等の影響を受けないようにすることを目的とする。

【0025】

【課題を解決するための手段】本発明は、上記の課題を解決するため次のように構成した。図1は本発明の第1実施例の説明図であり、1画素中のEL素子ELnmの駆動回路を示す。図1は、EL電源1と、EL電源1に接続された複数のドライブ薄膜トランジスタ(TFT)M1、M2、M3と、これらのドライブTFTM1～M3によ駆動されるEL素子ELnmと、ドライブTFTM1～M3のゲートに「H」又は「L」の画像データ信号-VLを与える選択スイッチであるトランジスタM4～M8と、選択スイッチのトランジスタM4～M6を選択する選択信号ymとトランジスタM7～M9を選択する選択信号Xn1～Xn3と、ドライブTFTM1～M3を駆動するゲート電圧を蓄積するコンデンサC1～C3を備える。

【0026】また、ドライブTFTM1、M2、M3の相互コンダクタンス(gm)をそれぞれ異なるもので構成する。さらに、図3の第2実施例の説明図のように、ドライブTFTの駆動電圧の保持に、クロックドインバータとインバータのラッチ回路を設ける。

【0027】

【作用】上記構成に基づく本発明の作用を説明する。図1において、Y軸のシフトレジスタからの選択信号ymによりトランジスタM4～M6が選択された時、X軸のシフトレジスタは選択信号Xn1からXn2、Xn3の順にシフト(走査)信号を出力する。そして、この選択信号Xn1～Xn3のシフトに同期して、デジタルの「H」又は「L」の画像データ信号-VLを供給する。

【0028】これにより、コンデンサC1～C3には「H」又は「L」の画像データ信号-VLの駆動電圧が保持され、「L」となったドライブTFTがオンとなり、そのドライブTFTを通してEL電源1がEL素子ELnmに供給される。ドライブTFTM1～M3のすべてがオンの時、EL素子ELnmが最大輝度で発光する。

【0029】また、ドライブTFTM1、M2、M3の相互コンダクタンスの比を例えば 2^0 、 2^1 、 2^2 にすることにより、ドライブTFTM1～M3の選択により8階調の表示を行うことができる。

5

【0030】さらに、図3において、ドライブTFTM1～M3の駆動電圧の保持にラッチ回路を設けることにより、選択スイッチのオフ電流、ドライブTFTM1～M3のゲート、リーク電流の影響を受けなくすることができる。

【0031】このように、複数のドライブTFTM1～M3のオン、オフの組み合わせにより階調表示を行い、また、このドライブTFTの駆動電圧はオン、オフのデジタル信号なので、選択スイッチ等のノイズの影響を受けることが少なくなる。

【0032】

【実施例】

【第1実施例の説明】図1、図2は第1実施例の説明図である。図1は、図4の従来例の1画素に相当する、EL素子ELnmの駆動回路を示す。図1において、EL電源1に接続された3個のPチャネルのドライブTFTM1、M2、M3と、これらのドライブTFTM1～M3により駆動される有機EL素子ELnmが設けてある。

【0033】また、これらのドライブTFTM1～M3のゲートには、選択信号ym、Xn1～Xn3により選択スイッチであるNチャネルの電界効果トランジスタ(TFT)M4～M5、M7～M8を選択して「H」又は「L」のデジタル画像データ信号-VLが供給される。そして、この画像データ信号-VLは、コンデンサC1、C2、C3により保持される。

【0034】さらに、これらのドライブTFTM1、M2、M3の相互コンダクタンスの比は、それぞれ 2^0 、 2^1 、 2^2 となるように、ゲート(チャネル)の長さ又は幅を変化させてある。これにより、ドライブTFTM1のオン電流を1とすると、ドライブTFTM2のオン電流は2、ドライブTFTM3のオン電流は4となる。

【0035】図2は、第1実施例における波形説明図である。以下、図2に基づいて、図1の回路の動作を説明する。X軸のシフトレジスタによりクロックCLの3倍の選択信号(シフトパルス)Xn1、Xn2、Xn3・・・を発生させる(図2、Xn1、Xn2、Xn3参照)。また、画像データ信号-VLは、シフトパルスXn1、Xn2、Xn3・・・に同期した「H」又は「L」のデジタル信号が出力される(図2、-VL参照)。なお、図2のx1、X2は従来例のX軸シフトレジスタの選択信号を示す。

【0036】(1)今、Y軸のシフトレジスタの選択信号ymが「H」の時、まず、選択信号Xn1が「H」になると、トランジスタM4とトランジスタM7がオンとなる。このため、この時の画像データ信号-VLの「L」がドライブTFTM1のゲートに与えられ、このドライブTFTM1がオンとなる。この「L」のゲート電圧は、コンデンサC1により保持される。

【0037】(2)次に、選択信号Xn2が「H」にな

6

ると、トランジスタM5とトランジスタM8がオンとなる。このため、この時の画像データ信号-VLの「L」がドライブTFTM2のゲートに与えられ、ドライブTFTM2はオフとなる。この「H」のゲート電圧はコンデンサC2により保持される。

【0038】(3)次に、選択信号Xn3が「H」になると、トランジスタM6とトランジスタM9がオンとなる。このため、この時の画像データ信号-VLの「L」がドライブTFTM3のゲートに与えられ、ドライブTFTM3はオンとなる。この「L」のゲート電圧は、コンデンサC3により保持される。

【0039】この図2の例の画像データ信号-VLの場合、ドライブTFTM1とM3がオンとなりドライブTFTM2がオフとなる。これにより、EL素子ELnmには、EL電源1より、ドライブTFTM1の電流を1とした時の5倍の電流が流れることになる。

【0040】このように、1画素中にgmの異なる3個のドライブTFTを設けこれをオン、オフさせる組み合わせによって、EL素子に流れる電流を制御し、8階調表示を行うことができる。

【0041】【第2実施例の説明】図3は、第2実施例の説明図である。図3は、1画素に相当するEL素子ELnmの駆動回路を示す。図3の例は、ドライブTFTM1～M3の駆動電圧を保持するのに図1のコンデンサC1～C3のかわりにクロックドインバータ2～4とインバータ5～7のラッチ回路を設けたものである。この場合、インバータ5～7を設けたため、図1とは反転したデジタルの画像データ信号VLを供給することになる。

【0042】また、クロックドインバータ2～4の参照(レファレンス)電圧refn1～refn3として、それぞれ選択信号Xn1～Xn3の反転信号が与えられる。このため、トランジスタM7～M9がオンのとき、それぞれ対応するクロックドインバータ2～4がハイインピーダンス状態となり、トランジスタM7～M9がオフのとき、それぞれ対応するクロックドインバータ2～4がインバータとして動作するアクティブ状態となる。

【0043】その他のドライブTFTM1～M3、選択スイッチであるトランジスタM4～M9等は図1と同じものである。図3の回路の動作を説明する。

【0044】(1)今、Y軸のシフトレジスタの選択信号ymが「H」の時、まず、選択信号Xn1が「H」となると、トランジスタM4とトランジスタM7がオンとなる。このため、この時のデジタルの画像データ信号VLがインバータ5を介してドライブTFTM1のゲートに与えられる。この時のゲート電圧は、トランジスタM7がオフとなった時、クロックドインバータ2とインバータ5のラッチ回路により保持される。

【0045】(2)次に、選択信号Xn2が「H」となると、トランジスタM5とトランジスタM8がオンとな

る。このため、この時のデジタル画像データ V_L がインバータ6を介してドライブTFTM2のゲートに与えられる。この時のゲート電圧は、トランジスタM8がオフとなった時に、クロックドインバータ3とインバータ6のラッチ回路により保持される。

【0046】(3) 次に、選択信号 X_{n3} が「H」となると、トランジスタM6とトランジスタM9がオンとなる。このため、この時のデジタル画像データ V_L がインバータ7を介してドライブTFTM3のゲートに与えられる。この時のゲート電圧は、トランジスタM9がオフとなった時に、クロックドインバータ4とインバータ7のラッチ回路により保持される。

【0047】このように、1画素中のgmの異なるドライブTFTM1～M3の組み合わせによって、EL素子に流れる電流を制御し、ラッチ回路により選択スイッチのオフ電流やドライブTFTのゲート、リーク電流の影響等を受けなくすることができる。

【0048】なお、前記実施例では、1画素中にドライブTFTを3個設けた場合の説明をしたが、これに限らず2個又は4個以上とすることもできる。また、ラッチ回路として、フリップフロップ等の他の回路を用いることもできる。更に、ドライブTFT又は選択スイッチであるトランジスタは、異なるチャネルのものを使用することもできる。

【0049】

【発明の効果】以上のように本発明によれば次のような効果がある。

(1) 請求項1記載の発明によれば、1画素中の複数の

ドライブTFTのオン、オフの組み合わせを選択することによって、EL素子に流れる電流を制御して階調表示を行っており、このドライブTFTの駆動電圧は、オン、オフのデジタル信号なので選択スイッチ等のノイズの影響を受けにくくなる。

【0050】(2) 請求項2記載の発明によれば、1画素中にgmの異なる複数のドライブTFTを設けたので、高階調の表示を行うことができる。

10 (3) 請求項3記載の発明によれば、ドライブTFTの駆動信号をラッチ回路により保持したので、選択スイッチのオフ電流、ドライブTFTのゲート、リーク電流等の影響を受けなくすることができる。

【図面の簡単な説明】

【図1】本発明の第1実施例の説明図である。

【図2】第1実施例における波形説明図である。

【図3】第2実施例の説明図である。

【図4】従来例の説明図である。

【図5】従来例のX軸シフトレジスタの説明図である。

【図6】従来例の波形説明図である。

【符号の説明】

1 EL電源

C1～C3 コンデンサ

ELnm EL素子

M1～M3 ドライブTFT

M4～M9 トランジスタ（選択スイッチ）

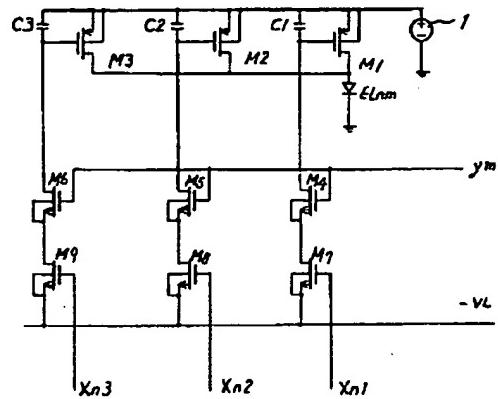
ym 選択信号

Xn1～Xn3 選択信号

-VL 画像データ信号

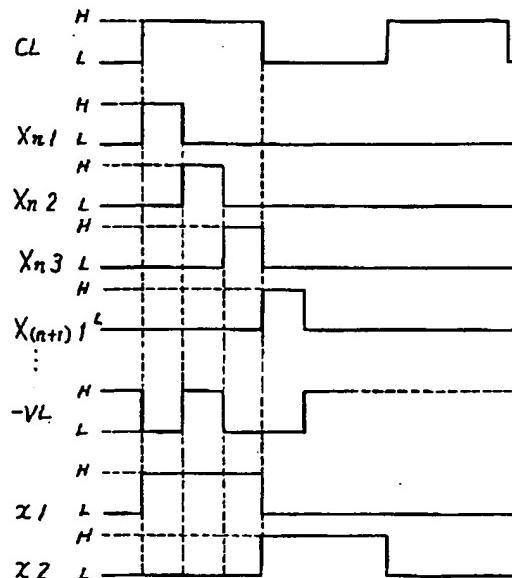
【図1】

本発明の第1実施例の説明図



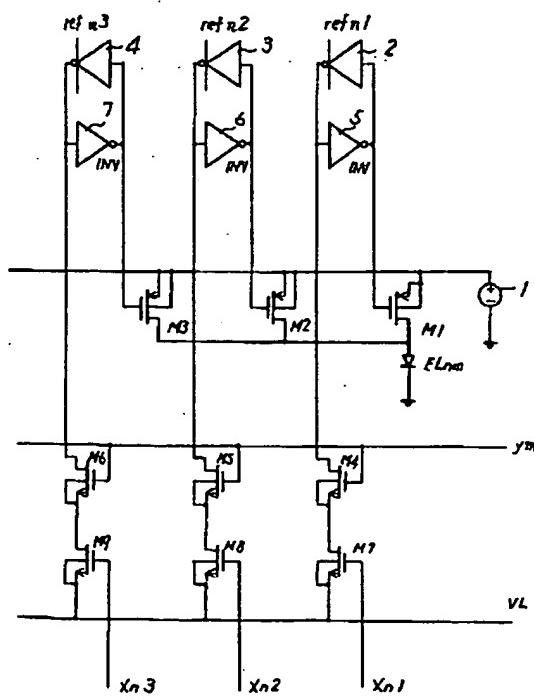
【図2】

第1実施例における波形説明図



【図3】

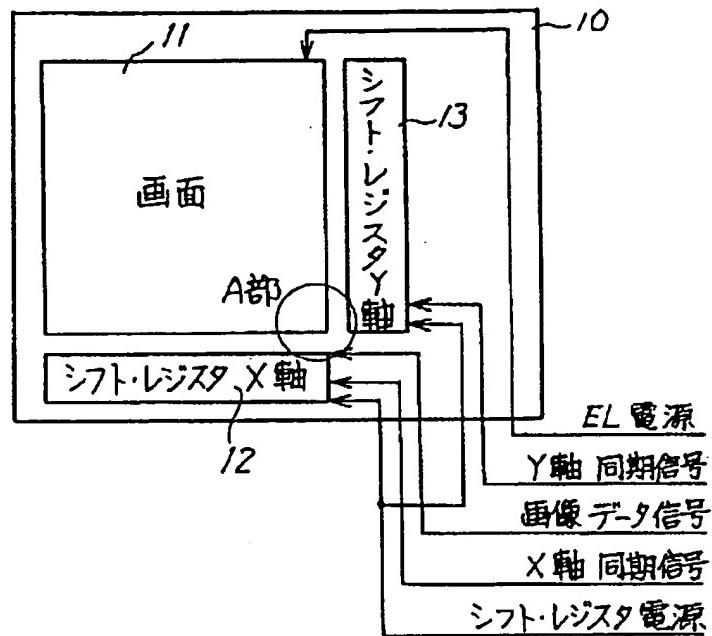
第2実施例の説明図



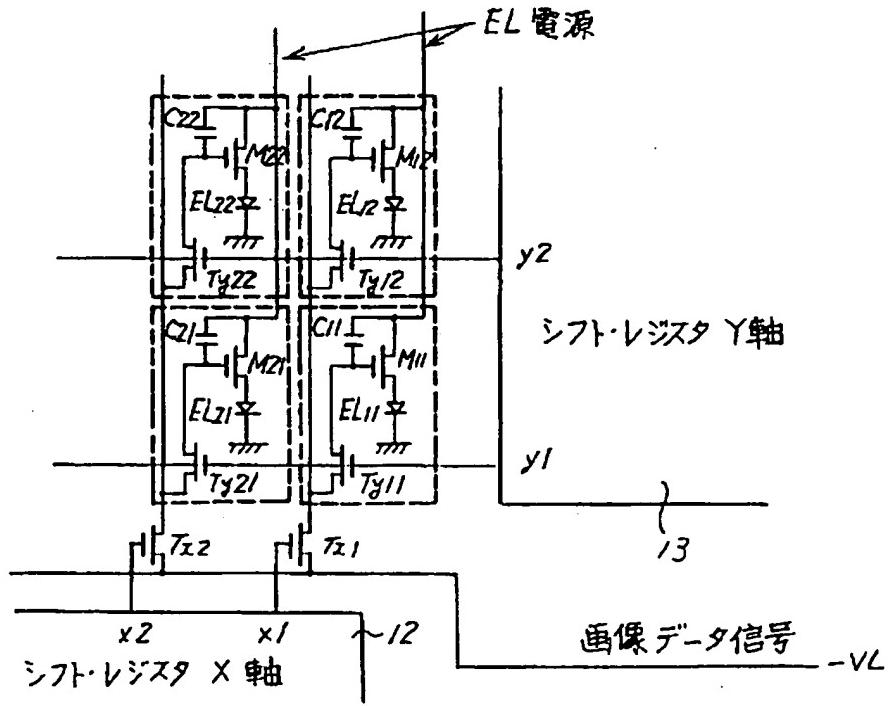
【図4】

従来例の説明図

(a) パネルブロック図

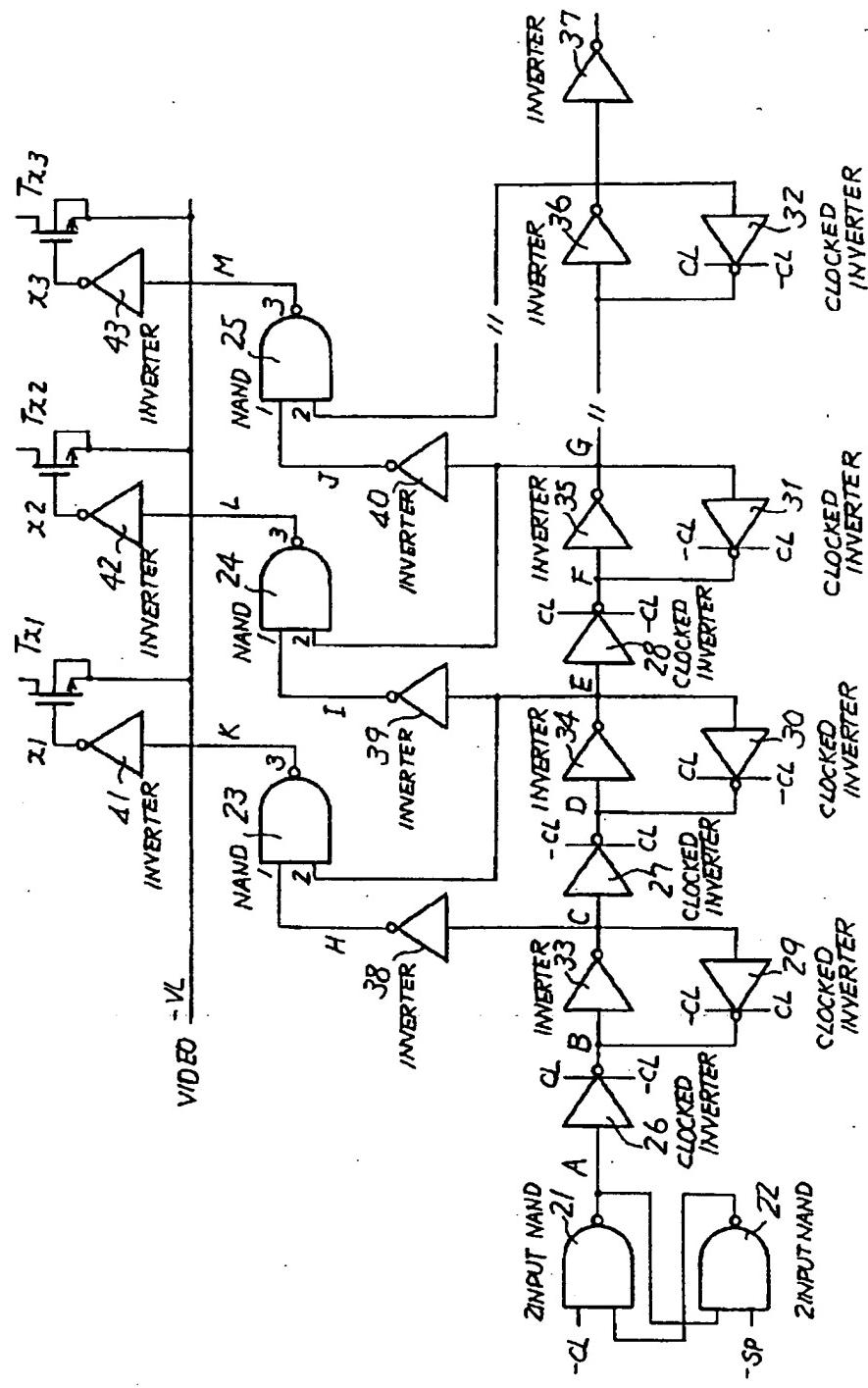


(b) A部の拡大図



[図5]

従来例のX軸シフトレジスタの説明図



【図6】

従来例の波形説明図

